

---

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

---

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030002229 A

(43)Date of publication of application: 08.01.2003

(21)Application number: 1020010038993

(22)Date of filing: 30.06.2001

(71)Applicant: HYNIX SEMICONDUCTOR INC.

(72)Inventor: JUNG, GWAN YEOL

(51)Int. Cl. H03K 19/0175

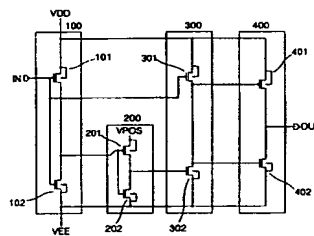
---

## (54) LEVEL SHIFTER WITH LOW AREA CONSUMPTION

## (57) Abstract:

PURPOSE: A level shifter with low area consumption is provided, which is realized using small area on a P type substrate or a N type substrate.

CONSTITUTION: According to the level shifter integrated on a P type substrate, the first level conversion part(100) responds to an input signal(IN) and outputs a potential level between a power supply voltage(VDD) and the first voltage(Vpos) higher than a low voltage(VEE) using the power supply voltage and the low voltage as power supplies. The second level conversion part (200) generates the second voltage swinging between the first voltage and the low voltage by receiving an output of the first level conversion part as an input. The first inversion part (300) generates an output voltage swinging between the power supply voltage and the low voltage by an output of the second level conversion part having the potential level between the first voltage and the low voltage using the second voltage and the power supply voltage as power supplies. And the second inversion part inverts an output of the first inversion part.



&amp;copy; KIPO 2003

## Legal Status

Date of final disposal of an application (20030228)

Patent registration number (1003848330000)

Date of registration (20030509)

AM

**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(51) Int. Cl. H03K 19/0175		(11) 공개번호 (43) 공개일자	특2003-0002229 2003년01월08일
(21) 출원번호	10-2001-0038993		
(22) 출원일자	2001년06월30일		
(71) 출원인	주식회사 하이닉스반도체 대한민국 467-866 경기 이천시 부발읍 아미리 산136-1		
(72) 발명자	정관열 대한민국 360-210 충청북도청주시상당구울량동891번지		
(74) 대리인	특허법인 신성		
(77) 심사청구	있음		
(54) 출원명	면적 소모가 적은 레벨 쉬프터		

**요약**

본 발명은 면적 소모가 적은 레벨 쉬프터에 관한 것으로 이를 위한 본 발명은, P타입 기판상에 집적되는 레벨 쉬프터에 있어서, 입력신호에 응답하고, 전원전압과 저전압을 전원으로 하여 저전압보다 소정 레벨 높은 제1 전압과 전원전압 사이의 전위 레벨을 출력하는 제1 레벨 변환부; 상기 제1 레벨 변환부의 출력을 입력으로하여 제1 전압과 저전압 사이를 스위칭하는 제2 전압을 생성하는 제2 레벨 변환부; 및 상기 제2 전압과 전원전압을 전원으로 하여 상기 제1 전압과 저전압 사이의 전위레벨을 가지는 상기 제2 레벨 변환부의 출력에 의하여 전원전압과 저전압 사이를 스위칭하는 출력전압을 생성하는 제1 반전부 및 상기 제1 반전부의 출력을 반전하는 제2 반전부를 포함하여 이루어진다.

**대표도**

도3

**색인어**

레벨 쉬프터, 저전압, 기판전압, 크로스 커플 래치

**명세서****도면의 간단한 설명**

도 1은 종래의 레벨 쉬프터의 상세 회로도.

도 2는 기판전위가 낮은 종래의 레벨 쉬프터를 구성하는 인버터의 개념도.

도 3은 본 발명에 따른 면적 소모가 적은 레벨 쉬프터의 일 실시예.

도 4는 본 발명의 다른 실시예.

**\* 도면의 주요 부분에 대한 부호의 설명**

100 : 제1 레벨 변환부                      200 : 제2 레벨 변환부

300 : 제1 반전부                          400 : 제2 반전부

**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 레벨 쉬프터에 관한 것으로, 특히 고전압 신호를 출력하는 레벨 쉬프터에 관한 것이다.

일반적으로, 레벨 쉬프터는 저전압 레벨에서 동작하는 회로의 신호를 고전압 레벨에서 동작하는 회로로 전달할때 사용되는데, 예를 들어 3V로 동작하는 기기와 5V로 동작하는 마이크로 컨트롤러와의 인터페이스를 위해 레벨 쉬프터가 응용된다.

도 1은 종래의 레벨 쉬프터로서, 입력 신호(IN)를 반전하는 인버터(10)와, 일측은 전원전압(VDD)에 연결되고 게이트는 입력 신호(IN)를 인가받는 PMOS(11)와, 게이트는 상기 인버터(10)의 출력단에 연결되고 일측은 전원전압(VDD)에 연결되고 타측은 출력단(OUT)을 형성하는 PMOS(12)와, 크로스 커플드 래치로 구성되어 일측은 상기 PMOS(11)의 타측과 연결되고 타측은 저전압(VEE)에 연결되고 게이트는 상기 출력단(OUT)에 연결되는 NMOS(13)와, 일측은 상기 출력단(OUT)에 연결되고 타측은 저전압(VEE)에 연결되고 게이트는 상기 PMOS(11)의 타측에 연결되는 NMOS(14)를 포함하여 이루어진다.

상기한 구성의 레벨 쉬프터의 동작을 도 1을 참조하여 설명하면 다음과 같다.

먼저, 입력 신호(IN)가 로우 레벨이면, PMOS(11)가 턴온되고 PMOS(12)가 턴 오프 되어 노드 A에 하이 레벨을 차지한다.

이어서, 상기 NMOS(14)는 노드 A가 하이 레벨이므로 턴온되어 저전압(VEE)을 노드 B로 인가하여 출력단(OUT)에서는 저전압(VEE)이 출력되게 된다.

여기서, 저전압(VEE)은 접지전압보다 더욱 낮은 전압을 말하는 것으로, 이러한 저전압(VEE)은 높은 전압차를 필요로 하는 LCD의 게이트 구동 드라이버나 모터 구동 회로등에서 주로 사용된다.

이어서, 입력신호(IN)가 하이 레벨로 천이시, 인버터(10)에서 로우 레벨이 출력되어 PMOS(12)를 턴 온 시키므로 전원전압(VDD)가 PMOS(12)를 경유하여 노드 B, 즉 출력전압을 전원전압(VDD)레벨로 바꾸게 되므로, 입력신호(IN)가 입력시 출력에서는 전원전압(VDD)과 저전압(VEE)사이를 스위칭하게 된다.

그러나 상기한 레벨 쉬프터는, 미세한 입력신호(IN)가 전원전압(VDD)과 저전압(VEE)를 스위칭하는 바, 집적회로화시 통상적으로 사용되는 P타입 기판상에는 상기 인버터(10)의 풀다운 패스를 NMOS로는 제작할 수 없게 된다.

집적회로에서는 사용되는 전압중 가장 낮은 전압이 기판전압이 되므로, NMOS를 집적회로로 구현시 통상적인 P타입 기판상에 구현하게 되면 접지전압에 비하여 매우 낮은 저전압(VEE)때문에 NMOS의 게이트에 전원전압(VDD)과 저전압(VEE)사이를 스위칭하는 입력신호가 인가되게 되면, 브레이크 다운(break down)현상을 일으키게 되므로 상기 인버터(10)를 NMOS로 구현하기가 어렵다.

또한, 상기 인버터(10)를 PMOS로 구현하게 되면, 턴온시 내부저항이 극히 작은 PMOS의 특성때문에 도 2에 도시된 바와 같이, PMOS의 소스단에 저항값이 큰 저항을 연결하여 사용하여야 하므로 집적회로의 크기가 커지는 문제가 있다.

또한, 상기 크로스 커플 래치로 구성된 NMOS 13, 14는 노드 A와 노드 B의 전압을 래치하므로, PMOS(11)와 NMOS(13)이 동시에 턴온되는 레이스 현상이 발생하게 된다.

상기 레이스 현상을 방지하기 위하여 NMOS(13)에 비해 전류 구동 능력이 적은 PMOS(11)의 크기를 더욱 크게 해야 하므로 상기 NMOS(13)와 PMOS(11)의 면적비(aspect ratio)를 매우 크게 해야한다.

예컨데, 일반적인 CMOS로 구현된 집적회로에서 NMOS와 PMOS의 면적비(aspect ratio)가 1:4 라면 P타입 기판에 형성되는 상기 PMOS(11)와 NMOS(13)의 면적비는 1:8 ~ 1:10 에 이르게 되어 집적회로화시 면적이 크게 증가하는 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 종래의 문제점을 해결하기 위하여 안출된 것으로, 일반적인 P타입 기판 또는 N타입 기판에 적은 면적을 사용하여 구현되는 레벨 쉬프터를 제공함에 그 목적이 있다.

### 발명의 구성 및 작용

본 발명은 면적 소모가 적은 레벨 쉬프터에 관한 것으로 이를 위한 본 발명은, P타입 기판상에 집적되는 레벨 쉬프터에 있어서, 입력신호에 응답하고, 전원전압과 저전압을 전원으로 하여 저전압보다 소정 레벨 높은 제1 전압과 전원전압 사이의 전위 레벨을 출력하는 제1 레벨 변환부; 상기 제1 레벨 변환부의 출력을 입력으로하여 제1 전압과 저전압 사이를 스위칭하는 제2 전압을 생성하는 제2 레벨 변환부; 및 상기 제2 전압과 전원전압을 전원으로 하여 상기 제1 전압과 저전압 사이의 전위레벨을 가지는 상기 제2 레벨 변환부의 출력에 의하여 전원전압과 저전압 사이를 스위칭하는 출력전압을 생성하는 제1 반전부 및 상기 제1 반전부의 출력을 반전하는 제2 반전부를 포함하여 이루어진다.

또한, 본 발명의 다른 레벨 쉬프터는, N타입 기판상에 집적되는 레벨 쉬프터에 있어서, 입력신호에 응답하고, 고전압과 저전압을 전원으로 하여 고전압보다 소정 레벨 낮은 제1 전압과 고전압 사이의 전위 레벨을 출력하는 제1 레벨 변환부; 상기 제1 레벨 변환부의 출력을 입력으로하여 고전압과 제1 전압 사이를 스위칭하는 제2 레벨 변환부; 상기 접지준위와 고전압을 전원으로 하여 상기 제1 전압과 고전압사이의 전위레벨을 가지는 상기 제2 레벨 변환부의 출력에 의하여 고전압과 접지준위 사이를 스위칭하는 제1 반전부; 및 상기 제1 반전부의 출력을 반전하는 제2 반전부를 포함하여 이루어진다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

도 3은 본 발명의 적은 면적을 소모하는 레벨 쉬프터의 일실시예를 나타낸다.

도 3을 참조하면, P타입 기판상에 집적되는 레벨 쉬프터에 있어서, 입력신호(IN)에 응답하고, 전원전압(VDD)과 저전압(VEE)을 전원으로 하여 저전압(VEE)보다 소정 레벨 높은 제1 전압(Vpos)과 전원전압(VDD) 사이의 전위 레벨을 출력하는 제1 레벨 변환부(100)와, 상기 제1 레벨 변환부(100)의 출력을 입력으로하여 제1 전압(Vpos)과 저전압(VEE) 사이를 스위칭하는 제2 전압(V1)을 생성하는 제2 레벨 변환부(200) 및 상기 제2 전압(V1)과 전원전압(VDD)을 전원으로 하여 상

기 제1 전압(Vpos)과 저전압(VEE)사이의 전위레벨을 가지는 상기 제2 레벨 변환부(200)의 출력에 의하여 전원전압(VDD)과 저전압(VEE) 사이를 스윙하는 출력전압을 생성하는 제1 반전부(300) 및 를 포함하여 이루어진다.

구체적으로, 상기 제1 레벨 변환부(100)는, 전원전압(VDD)과 저전압(VEE) 사이에 직렬로 인버터 연결되며, 각각의 게이트는 공동으로 접속되어 상기 입력신호에 응답하는 제1 PMOS 및 제1 NMOS를 포함하여 실시 구성되며,

상기 제2 레벨 변환부는, 상기 제1 전압(Vpos)과 저전압(VEE) 사이에 직렬로 인버터 연결되며, 각각의 게이트는 상기 제1 레벨 변환부의 출력단에 공동으로 연결되는 제2 PMOS 및 제2 NMOS를 포함하여 실시 구성되며,

상기 제1 반전부는, 상기 제2 전압(V1)과 저전압(VEE) 사이에 직렬로 인버터 연결되며, 각각의 게이트는 상기 제2 레벨 변환부의 출력단에 공동으로 연결되는 제3 PMOS 및 제3 NMOS를 포함하여 실시 구성된다.

상기한 구성의 본 발명의 동작을 도 3을 참조하여 상세히 설명하기로 한다.

먼저, 상기 제1 레벨 변환부(100)에 인가되는 입력신호(IN)가 로우 레벨일시, 노드 1의 전압은 전원전압(VDD)이 되고 입력신호(IN)가 하이 레벨일시, 노드 1의 전압은 상기 제1 전압(Vpos)가 된다.

여기서, 상기 제1 전압(Vpos)은 접지전압과 저전압(VEE) 사이의 전압으로서 저전압(VEE)에 비하여 약 3내지 4V 높은 전압이 된다.

상기 입력신호(IN)가 로우 레벨일때는 노드 1의 전압이 저전압(VEE)가 되어야 하지만 상기 PMOS(101)와 NMOS(102)를 집적화하되 면적비(aspect ratio)를 조정하여 제1 전압(Vpos)가 되도록 조절한다.

여기서, 상기 NMOS(102)의 면적비를 조정하지 않고 하이 레벨의 입력신호(IN)를 인가받으시 저전압(VEE)을 출력하게 되면 입력신호의 범위가 0 ~ 3.3V일 경우 턴 오프 되지 않는 문제가 발생한다.

따라서, 상기 제1 레벨 변환부(100)의 출력은 전원전압(VDD)과 제1 전압(Vpos)간을 스윙하게 된다.

이어서, 상기 제1 레벨 변환부(100)의 출력이 제1 전압(Vpos)과 전원전압(VDD)사이를 스윙하므로, 상기 제2 레벨 변환부는 제1 전압(Vpos)와 제1 전압(Vpos) 보다 낮은 저전압(VDD)을 이용하여 동작하여야 한다.

이어서, 상기 저전압(VDD)과 제1 전압(Vpos)을 스윙하는 상기 제2 레벨 변환부(200)의 출력인 제2 전압(V1)을 입력으로 하는 제1 반전부(300)에서 전원전압(VDD)과 저전압(VEE)사이를 풀 스윙(full swing)하게 하며, 상기 제2 반전부(400)에서 상기 제1 반전부(300)의 출력을 반전하여 입력신호(IN)와 동일한 위상을 갖도록 한다.

따라서, 본 발명의 레벨 쉬프터는 래치(latch)를 사용하지 않으므로 레이스 현상이 감소되며, 각각의 반전부(100, 200, 300)를 구성하는 NMOS와 PMOS의 면적비가 크지 않아도 된다.

도 4는 본 발명의 다른 실시예를 나타낸다.

도 4를 참조하면, N타입 기판상에 집적되는 레벨 쉬프터에 있어서, 입력신호에 응답하고, 고전압(VPP)과 저전압을 전원으로 하여 고전압(VPP)보다 소정 레벨 낮은 제1 전압(V1)과 고전압(VPP) 사이의 전위 레벨을 출력하는 제1 레벨 변환부(500)와, 상기 제1 레벨 변환부(500)의 출력을 입력으로하여 고전압(VPP)과 제1 전압(V1) 사이를 스윙하는 제2 레벨 변환부(600)와, 상기 접지준위(VSS)와 고전압(VPP)을 전원으로 하여 상기 제1 전압(V1)과 고전압(VPP)사이의 전위레벨을 가지는 상기 제2 레벨 변환부(600)의 출력에 의하여 고전압(VPP)과 접지준위(VSS) 사이를 스윙하는 제1 반전부(700) 및 상기 제1 반전부(700)의 출력을 반전하는 제2 반전부(800)를 포함하여 이루어진다.

구체적으로, 상기 제1 레벨 변환부는 고전압(VPP)과 접지준위(VSS) 사이에 직렬로 인버터 연결되며, 각각의 게이트는 공동으로 접속되어 상기 입력신호를 반전하는 PMOS(510)와 NMOS(520)를 포함하여 실시 구성되며,

상기 제2 레벨 변환부는, 상기 고전압(VPP)과 접지준위(VSS) 사이에 직렬로 인버터 연결되며, 각각의 게이트는 상기 제1 레벨 변환부의 출력단에 공동으로 연결되는 PMOS(610)와 NMOS(620)로 실시 구성되며,

상기 제1 반전부는, 상기 제2 레벨 변환부(600)의 출력에 응답하고, 고전압(VPP)과 접지준위(VSS) 사이에 직렬로 인버터 연결되며, 각각의 게이트는 상기 제2 레벨 변환부의 출력단에 공동으로 연결되는 PMOS(710)와 NMOS(720)를 포함하여 실시 구성되며,

상기 제2 반전부는, 상기 제1 반전부(700)의 출력에 응답하고, 고전압(VPP)과 접지준위(VSS) 사이에 직렬로 인버터 연결되며, 각각의 게이트는 상기 제1 반전부의 출력단에 공동으로 연결되는 PMOS(810)와 NMOS(820)로 실시 구성된다.

이하, 도 4를 참조하여 상기한 구성의 본 발명에 대하여 상세히 설명하도록 한다.

먼저, 상기 면적소모가 적은 레벨 쉬프터가 N타입 기판상에 집적되므로, 로우 레벨이 인가될시 상기 제1 레벨 변환부(500)의 출력은 고전압(VPP)과 제1 전압(V1)사이를 스윙하게 된다.

여기서, 고전압(VPP)은 통상적인 전원전압(3.3 ~ 5V)보다 높은 전압으로 통상 10 ~ 20V에 이르는 전압이며, 상기 제1 전압(V1)은 상기 고전압(VPP)에서 소정 전압(3 ~ 4V) 낮은 전압이다.

상기 PMOS(510)와 NMOS(520)의 면적비를 조정하여 입력신호(IN)가 로우 레벨일때 제1 전압(V1)이 출력되도록 함으로서, N타입 기판에 집적되는 상기 PMOS(510)가 로우 레벨이 인가시 브레이크 다운 현상을 일으켜 턴 온 상태가 유지되지 않도록 한다.

이어서, 고전압(VPP)과 제1 전압(V1)을 스윙하는 상기 제1 레벨 변환부(500)의 출력이 상기 제2 레벨 변환부(600)에 인가되면, 상기 PMOS(610)와 NMOS(620)에 각각 고전압(VPP)과 제1 전압(V1)이 연결되어 있고 입력되는 전압의 범위 또한 상기 PMOS(610)와 NMOS(620)에 연결된 전압 범위와 같으므로 상기 제1 레벨 변환부의 출력에 의하여 상기 제2 제어부에 대한 제어가 가능하게 된다.

상기 제1 반전부(700)에서는 앞서 도 3에서 설명한 바와 같이, 상기 제2 레벨 변환부의 출력을 입력으로 하여 고전압(VPP)과 접지준위(VSS) 사이를 풀 스윙(full swing)하게 되고 제2 반전부에서는 원래 입력된 입력신호(IN)와 같은 위상을 갖도록 한다.

이상에서 설명한 바와 같이 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명이 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능함이 본 발명이 속하는 기술분야에서 통상의 지식을 가진자에게 있어 명백할 것이다.

#### 발명의 효과

상기한 바와 같이 본 발명은, P타입 또는 N타입 기판에 적은 면적을 사용하여 레벨 쉬프터를 구현함에 있어, 래치를 사용하지 않음으로서 레이싱 현상을 방지하여 종래의 레벨 쉬프터가 PMOS와 NMOS간에 높은 면적비를 가졌던 것에 비하여 매우 작은 면적비만으로 구현이 가능하다.

#### (57) 청구의 범위

##### 청구항 1.

P타입 기판상에 집적되는 레벨 쉬프터에 있어서,

입력신호에 응답하고, 전원전압과 저전압을 전원으로 하여 저전압보다 소정 레벨 높은 제1 전압과 전원전압 사이의 전위 레벨을 출력하는 제1 레벨 변환부;

상기 제1 레벨 변환부의 출력을 입력으로하여 제1 전압과 저전압 사이를 스윙하는 제2 전압을 생성하는 제2 레벨 변환부;

상기 제2 전압과 전원전압을 전원으로 하여 상기 제1 전압과 저전압사이의 전위레벨을 가지는 상기 제2 레벨 변환부의 출력에 의하여 전원전압과 저전압 사이를 스윙하는 출력전압을 생성하는 제1 반전부; 및

상기 제1 반전부의 출력을 반전하는 제2 반전부

를 포함하여 이루어지는 면적 소모가 적은 레벨 쉬프터

##### 청구항 2.

제 1 항에 있어서,

상기 제1 레벨 변환부는,

전원전압과 저전압 사이에 직렬로 인버터 연결되며, 각각의 게이트는 공동으로 접속되어 상기 입력신호에 응답하는 제1 PMOS; 및

제1 NMOS를 포함하여 이루어지는 것을 특징으로 하는 면적 소모가 적은 레벨 쉬프터.

##### 청구항 3.

제 1 항에 있어서,

상기 제2 레벨 변환부는,

상기 제1 전압과 저전압 사이에 직렬로 인버터 연결되며, 각각의 게이트는 상기 제1 레벨 변환부의 출력단에 공동으로 연결되는 제2 PMOS 및;

제2 NMOS를 포함하여 이루어지는 것을 특징으로 하는 면적 소모가 적은 레벨 쉬프터.

##### 청구항 4.

N타입 기판상에 집적되는 레벨 쉬프터에 있어서,

입력신호에 응답하고, 고전압과 저전압을 전원으로 하여 고전압보다 소정 레벨 낮은 제1 전압과 고전압 사이의 전위 레벨을 출력하는 제1 레벨 변환부;

상기 제1 레벨 변환부의 출력을 입력으로하여 고전압과 제1 전압 사이를 스윙하는 제2 레벨 변환부;

상기 접지준위와 고전압을 전원으로 하여 상기 제1 전압과 고전압사이의 전위레벨을 가지는 상기 제2 레벨 변환부의 출력에 의하여 고전압과 접지준위 사이를 스윙하는 제1 반전부; 및

상기 제1 반전부의 출력을 반전하는 제2 반전부를 포함하여 이루어진다.

##### 청구항 5.

제 4 항에 있어서,

상기 제1 레벨 변환부는,

고전압과 접지준위 사이에 직렬로 인버터 연결되며, 각각의 게이트는 공동으로 접속되어 상기 입력신호에 응답하는 제1 PMOS; 및

제1 NMOS를 포함하여 이루어지는 것을 특징으로 하는 면적 소모가 적은 레벨 쉬프터.

# 참구항 6.

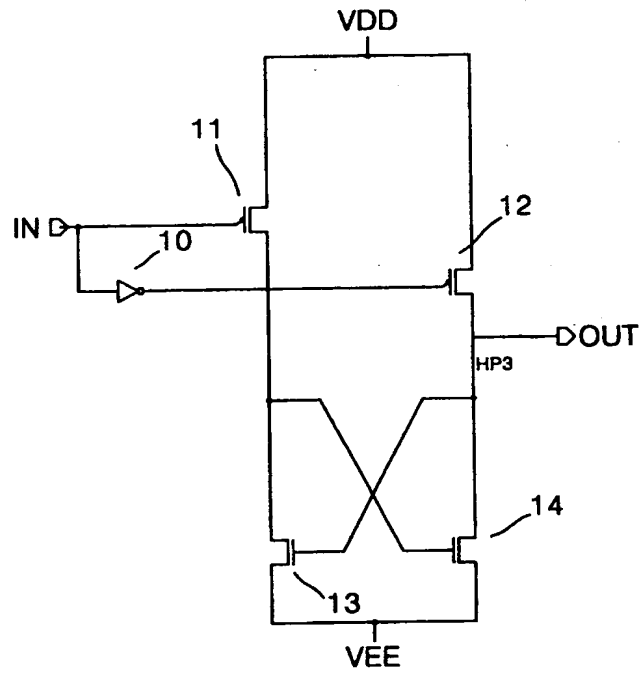
제 4 항에 있어서,

상기 제2 레벨 변환부제2 레벨 변환부전압과 제1 전압 사이에 직렬로 인버터 연결되며, 각각의 게이트는 상기 제1 레벨 변환부의 출력단에 공동으로 연결되는 제2 PMOS 및;

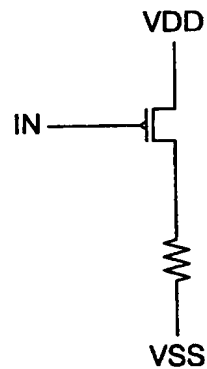
제2 NMOS를 포함하여 이루어지는 것을 특징으로 하는 면적 소모가 적은 레벨 쉬프터.

도면

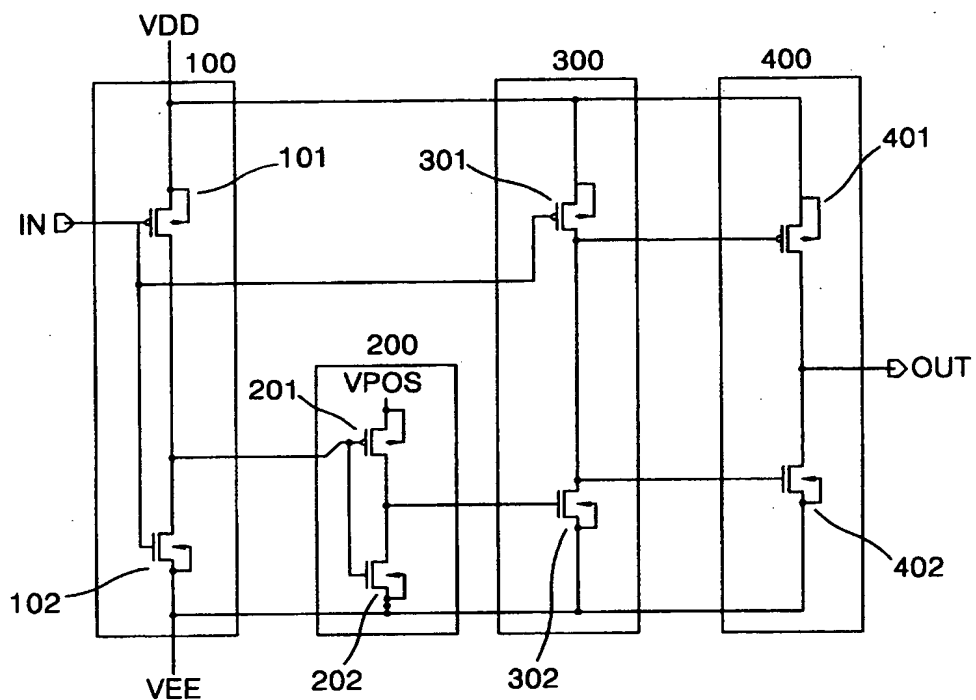
도면 1



도면 2



도면 3



도면 4

